



THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re: Application of: **Katsuaki HAMAMOTO**

# 2 RS  
**RECEIVED**  
SEP 26 2001  
Technology Center 2600

Serial No.: **09/895,326**

Group Art Unit: **2631**

Filed: **July 2, 2001**

For: **ORTHOGONAL CODE GENERATION APPARATUS, SCRAMBLING CODE  
GENERATION APPARATUS AND PORTABLE RADIO TERMINAL USING  
SUCH APPARATUS**

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
Washington, D.C. 20231

Date: September 25, 2001

Sir:

The benefit of the filing dates of the following prior foreign applications is hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

**JAPANESE APPLICATION NO. 2000-203416, Filed July 5, 2000**

**JAPANESE APPLICATION NO. 2001-152589, Filed May 22, 2001**

In support of these claims, the requisite certified copy of said original foreign applications is filed herewith.

It is requested that the file of these applications be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said documents.

In the event that any fees are due in connection with this paper, please charge our Deposit  
Account No. 01-2340.

Respectfully submitted,

ARMSTRONG, WESTERMAN, HATTORI,  
McLELAND & NAUGHTON, LLP



Mel R. Quintos  
Reg. No. 31,898

RECEIVED  
SEP 26 2001  
Technology Center 2600

Atty. Docket No. 010848  
1725 K Street, N.W., Suite 1000  
Washington, DC 20006  
Tel: (202) 659-2930  
Fax: (202) 887-0357  
MRQ/ll



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日  
Date of Application:

2000年 7月 5日

出 願 番 号  
Application Number:

特願2000-203416

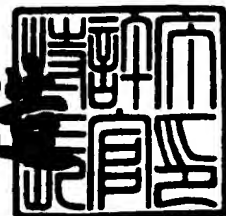
出 願 人  
Applicant(s):

三洋電機株式会社

2001年 5月11日

特許庁長官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3039926

【書類名】 特許願

【整理番号】 NBC1002085

【提出日】 平成12年 7月 5日

【あて先】 特許庁長官殿

【国際特許分類】 H04J 13/02

【発明者】

    【住所又は居所】 大阪府守口市京阪本通2丁目5番5号 三洋電機株式会社  
社内

    【氏名】 ▲浜▼本 克昭

【特許出願人】

    【識別番号】 000001889

    【住所又は居所】 大阪府守口市京阪本通2丁目5番5号

    【氏名又は名称】 三洋電機株式会社

【代理人】

    【識別番号】 100064746

    【弁理士】

    【氏名又は名称】 深見 久郎

【選任した代理人】

    【識別番号】 100085132

    【弁理士】

    【氏名又は名称】 森田 俊雄

【選任した代理人】

    【識別番号】 100091409

    【弁理士】

    【氏名又は名称】 伊藤 英彦

【選任した代理人】

    【識別番号】 100096781

    【弁理士】

    【氏名又は名称】 堀井 豊

【手数料の表示】

【予納台帳番号】 008693

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 拡散符号系列生成装置および拡散符号系列生成装置を用いた携帯無線端末

【特許請求の範囲】

【請求項 1】 送信データのスクランブルに用いる拡散符号系列を生成する拡散符号系列生成装置であって、

所定の生成多項式による拡散符号系列を生成するために帰還処理および拡散処理を実行するように接続された複数段のレジスタからなるシフトレジスタと、

所定の初期値をもとに前記シフトレジスタを、増加する所定回数だけそれぞれシフト動作させたならば得られる、前記帰還処理および前記拡散処理にそれぞれ関与する前記レジスタの値を演算する演算手段と、

前記演算されたレジスタの値を、対応する前記レジスタに入力する入力手段と

、  
前記演算されかつ入力された値に基づいて前記複数段のレジスタのすべてが有効な値を保持するまで、前記演算手段が前記レジスタの値の演算を行ないかつ前記入力手段が演算された値をレジスタに入力するように前記演算手段および前記入力手段を制御する制御手段とを備え、

前記シフトレジスタは、前記複数段のレジスタのすべてに保持された有効な値をもとにシフト動作を続行して前記拡散符号系列を生成する、拡散符号系列生成装置。

【請求項 2】 前記所定の初期値を保持した記憶手段と、

前記所定の生成多項式に基づき前記増加する所定回数だけそれぞれシフト動作させた後における前記帰還処理および前記拡散処理にそれぞれ関与するレジスタの値を決定するための行列式を供給する行列式供給手段とをさらに備え、

前記演算手段は、前記記憶手段に保持されている前記所定の初期値と前記行列式供給手段から供給される前記行列式とを乗算することにより前記レジスタの値を演算する、請求項 1 に記載の拡散符号系列生成装置。

【請求項 3】 前記所定の初期値を保持した記憶手段をさらに備え、

前記演算手段は、前記所定の生成多項式に基づき前記増加する所定回数だけそ

れぞれシフト動作させた後における前記帰還処理および前記拡散処理にそれぞれ関与するレジスタの値を決定するための行列式を所定の演算により求め、前記記憶手段に保持されている前記所定の初期値と乗算することにより前記レジスタの値を演算する、請求項 1 に記載の拡散符号系列生成装置。

【請求項 4】 送信データのスクランブルに用いる拡散符号系列を生成する拡散符号系列生成装置であって、

所定の初期値を保持した記憶手段と、

所定の生成多項式に基づき前記拡散符号系列を構成する各符号の値を決定するための行列式を所定の演算により求める論理手段と、

前記記憶手段に保持されている前記所定の初期値と、前記求められた行列式とを乗算することにより前記拡散符号系列を構成する各符号の値を演算する演算手段とを備えた、拡散符号系列生成装置。

【請求項 5】 デジタル無線通信の携帯無線端末であって、

送信デジタルデータを変調する送信系モデム手段と、

前記送信系モデム手段の送信出力を無線処理して送出する無線処理手段とを備え、

前記送信系モデム手段は、前記送信デジタルデータのスクランブルに用いる拡散符号系列を生成する拡散符号系列生成手段を含み、

前記拡散符号系列生成手段は、

所定の生成多項式による拡散符号系列を生成するために帰還処理および拡散処理を実行するように接続された複数段のレジスタからなるシフトレジスタと、

所定の初期値をもとに前記シフトレジスタを、増加する所定回数だけそれぞれシフト動作させたならば得られる、前記帰還処理および前記拡散処理にそれぞれ関与する前記レジスタの値を演算する演算手段と、

前記演算されたレジスタの値を、対応する前記レジスタに入力する入力手段と

、  
前記演算されかつ入力された値に基づいて前記複数段のレジスタのすべてが有効な値を保持するまで、前記演算手段が前記レジスタの値の演算を行ないかつ前記入力手段が演算された値をレジスタに入力するように前記演算手段および前記

入力手段を制御する制御手段とを含み、

前記シフトレジスタは、前記複数段のレジスタのすべてに保持された有効な値をもとにシフト動作を続行して前記拡散符号系列を生成する、携帯無線端末。

【請求項 6】 前記拡散符号系列生成手段は、

前記所定の初期値を保持した記憶手段と、

前記所定の生成多項式に基づき前記増加する所定回数だけそれぞれシフト動作させた後における前記帰還処理および前記拡散処理にそれぞれ関与するレジスタの値を決定するための行列式を供給する行列式供給手段とをさらに含み、

前記演算手段は、前記記憶手段に保持されている前記所定の初期値と前記行列式供給手段から供給される前記行列式とを乗算することにより、前記レジスタの値を演算する、請求項 5 に記載の携帯無線端末。

【請求項 7】 前記拡散符号系列生成手段は、

前記所定の初期値を保持した記憶手段をさらに含み、

前記演算手段は、前記所定の生成多項式に基づき前記増加する所定回数だけそれぞれシフト動作させた後における前記帰還処理および前記拡散処理にそれぞれ関与するレジスタの値を決定するための行列式を所定の演算により求め、前記記憶手段に保持されている前記所定の初期値と乗算することにより前記レジスタの値を演算する、請求項 5 に記載の携帯無線端末。

【請求項 8】 デジタル無線通信の携帯無線端末であって、

送信デジタルデータを変調する送信系モデム手段と、

前記送信系モデム手段の送信出力を無線処理して送出する無線処理手段とを備え、

前記送信系モデム手段は、前記送信デジタルデータのスクランブルに用いる拡散符号系列を生成する拡散符号系列生成手段を含み、

前記拡散符号系列生成手段は、

所定の初期値を保持した記憶手段と、

所定の生成多項式に基づき前記拡散符号系列を構成する各符号の値を決定するための行列式を所定の演算により求める論理手段と、

前記記憶手段に保持されている前記所定の初期値と、前記求められた行列式と



を乗算することにより前記拡散符号系列を構成する各符号の値を演算する演算手段とを含む、携帯無線端末。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、拡散符号系列生成装置および拡散符号系列生成装置を用いた携帯無線端末に関し、より特定的には、デジタル無線通信において送信デジタルデータのスクランブルに用いる拡散符号系列を生成する拡散符号系列生成装置およびそのような拡散符号系列生成装置を含む携帯無線端末に関する。

【0002】

【従来の技術】

従来、たとえばCDMA (Code Division Multiple Access) 方式のようなデジタル無線通信においては、ユーザごとに固有の拡散符号系列で送信デジタルデータをスクランブルして送出し、受信側では逆拡散符号系列で受信デジタルデータをデスクランブルするスペクトラム拡散方式が採用されている。

【0003】

このようなスペクトラム拡散方式を用いたデジタル無線通信の送信側には、送信デジタルデータをスクランブルするための拡散符号系列を生成する拡散符号系列生成装置が設けられる。

【0004】

この拡散符号系列生成装置では、基本的に、当該送信機に固有のある初期値が、所定の生成多項式に基づいて構成されたシフトレジスタに設定され、受信側における逆拡散符号系列生成とのタイミングをとるために、初期値をもとに所定回数シフト動作させた後の符号から順次連続して、拡散符号系列として出力していくように構成されている。

【0005】

そして、出力された拡散符号系列が送信デジタルデータと乗算されることにより、送信デジタルデータがスクランブルされることになる。

【0006】

図 6 は、従来の拡散符号系列生成装置の一例を示すブロック図である。図 6 は特に、次の生成多項式による拡散符号系列を生成するように構成された拡散符号系列生成装置を示すものである。

【0007】

$$f(X) = X^4 + X^2 + 1$$

図 6 に示す拡散符号系列生成装置は、基本的に、縦続接続された 4 段のレジスタ 11, 12, 13, 14 からなるシフトレジスタを備えおり、それぞれのレジスタの前段には、対応するセクタ 15, 16, 17, 18 が設けられている。

【0008】

初期値バッファ 19 には、後述する初期値  $Ri_3$ ,  $Ri_2$ ,  $Ri_1$ ,  $Ri_0$  が保持されている。なお、初期値バッファ 19 は、たとえばメモリ、レジスタなどで構成される。

【0009】

セクタ 15 ~ 18 の各々は、基本的に、図示しない制御回路から与えられる制御信号に応じて、前段のレジスタからの出力  $Rs$  または初期値バッファ 19 に格納されている対応する初期値  $Ri$  のいずれかを選択して次段のレジスタの D 入力に与える。

【0010】

より詳細には、セクタ 15 は、排他的論理和回路 20 からの出力または初期値  $Ri_3$  のいずれかを選択して、入力  $D_3$  としてレジスタ 11 にセットする。

【0011】

セクタ 16 は、前段のレジスタ 11 の出力  $Rs_3$  または初期値  $Ri_2$  のいずれかを選択して、入力  $D_2$  としてレジスタ 12 にセットする。レジスタ 12 の出力  $Rs_2$  はセクタ 17 の一方入力に与えられるとともに、排他的論理和回路 20 の一方入力に与えられ帰還処理される。

【0012】

セクタ 17 は、前段のレジスタ 12 の出力  $Rs_2$  または初期値  $Ri_1$  のいずれかを選択して、入力  $D_1$  としてレジスタ 13 にセットする。

【0013】

セクタ18は、前段のレジスタ13の出力 $Rs_1$ または初期値 $Ri_0$ のいずれかを選択して、入力 $D_0$ としてレジスタ14にセットする。レジスタ14の出力 $Rs_0$ は拡散符号としてシフトレジスタから出力（拡散処理）されるとともに、排他的論理和回路20の他方入力に与えられて帰還処理される。

## 【0014】

次に、図6に示した拡散符号系列生成装置による拡散符号系列生成動作について説明する。なお、現実のデジタル無線通信（たとえば近年開発されているW（Wideband）-CDMA方式のデジタル無線通信）の規格では、25段のレジスタによってシフトレジスタが構成されるが、図示の都合上、以後の説明では4段のレジスタからなる簡略化されたシフトレジスタを用いて説明するものとする。

## 【0015】

まず、初期値バッファ19は、当該送信機に固有の初期値 $Ri_3$ ,  $Ri_2$ ,  $Ri_1$ ,  $Ri_0$ （すべて0の場合を除く）が設定され、4段のレジスタ11～14のそれぞれに対応するセクタ15～18を介してロードされる。その後、ロードされた初期値をもとにシフト動作させながら、レジスタ14の出力から拡散符号 $Rs_0$ を順次出力する。そして、レジスタ11～14のそれぞれには、1回のシフト動作ごとに次式で表わされる入力 $D_3$ ,  $D_2$ ,  $D_1$ ,  $D_0$ がセットされる。

## 【0016】

## 【数1】

$$D_3 \leftarrow Rs_2 \oplus Rs_0$$

$$D_2 \leftarrow Rs_3$$

$$D_1 \leftarrow Rs_2$$

$$D_0 \leftarrow Rs_1$$

## 【0017】

この動作を行列を用いて表現すると次式のようなになる。ただし、以下の演算（行列演算も含む）に用いられる加算はmodulo 2加算とする。

## 【0018】

【数 2】

$$\begin{bmatrix} D_3 \\ D_2 \\ D_1 \\ D_0 \end{bmatrix} = \begin{bmatrix} 0 & 1 & 0 & 1 \\ 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} Rs_3 \\ Rs_2 \\ Rs_1 \\ Rs_0 \end{bmatrix}$$

【0 0 1 9】

上述の4つの初期値がレジスタ11～14のそれぞれにロードされてから、1回シフトされた後のレジスタ11～14のそれぞれの値は、次式の行列式で表わされる。

【0 0 2 0】

【数 3】

$$\begin{bmatrix} D_3 \\ D_2 \\ D_1 \\ D_0 \end{bmatrix} = \begin{bmatrix} 0 & 1 & 0 & 1 \\ 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} Ri_3 \\ Ri_2 \\ Ri_1 \\ Ri_0 \end{bmatrix}$$

【0 0 2 1】

また、2回シフトされた後のレジスタ11～14のそれぞれの値は、次式の行列式で表わされる。

【0 0 2 2】

【数 4】

$$\begin{bmatrix} D_3 \\ D_2 \\ D_1 \\ D_0 \end{bmatrix} = \begin{bmatrix} 0 & 1 & 0 & 1 \\ 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} 0 & 1 & 0 & 1 \\ 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \end{bmatrix} \begin{bmatrix} Ri_3 \\ Ri_2 \\ Ri_1 \\ Ri_0 \end{bmatrix} = \begin{bmatrix} 1 & 0 & 1 & 0 \\ 0 & 1 & 0 & 1 \\ 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \end{bmatrix} \begin{bmatrix} Ri_3 \\ Ri_2 \\ Ri_1 \\ Ri_0 \end{bmatrix}$$

【0 0 2 3】

一般に、初期値がレジスタ11～14のそれぞれにロードされてから、t回シ

フトされた後のレジスタ 1 1 ～ 1 4 のそれぞれの値  $D_3(t)$ ,  $D_2(t)$ ,  $D_1(t)$ ,  $D_0(t)$  は、次式の行列式で表わされる。

【 0 0 2 4 】

【数 5】

$$\begin{bmatrix} D_3(t) \\ D_2(t) \\ D_1(t) \\ D_0(t) \end{bmatrix} = \begin{bmatrix} 0 & 1 & 0 & 1 \\ 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \end{bmatrix}^t \begin{bmatrix} Ri_3 \\ Ri_2 \\ Ri_1 \\ Ri_0 \end{bmatrix}$$

【 0 0 2 5 】

以上のように、初期値のレジスタ 1 1 ～ 1 4 へのロードからスタートして、シフト動作を繰返すことにより、レジスタ 1 4 にセットされる値が決まり、符号  $Rs_0$  が順次生成されることになる。

【 0 0 2 6 】

ただし、現実のデジタル無線通信（たとえば W-CDMA）の規格では、初期値からスタートしてシフト動作ごとに連続的に生成される符号をそのまま拡散符号として用いるわけではない。前述のように、受信側とのタイミング合せの目的で、たとえばレジスタ 1 1 ～ 1 4 への初期値のロードから  $t$  回（たとえば 1 0 0 回）シフト後以降のレジスタ値を拡散符号として出力するように規格で決められている。言い換えると、初期値のロードから 1 0 0 回シフトするまで拡散符号は生成されないことになる。しかしながら 1 0 0 回シフトするには長時間を要する（特にシフトレジスタの段数が多い場合）。

【 0 0 2 7 】

ここで、上述の  $t$  回シフト後のレジスタ値を求める行列式を用いれば、実際にシフトレジスタをシフトさせなくても、計算で  $t$  回シフト後のレジスタ値を求めることができる。

【 0 0 2 8 】

たとえば、デジタル無線通信の規格で、初期値のロードから 1 0 0 回シフト後のレジスタ値から拡散符号系列の生成を開始することが定められていれば、次式

を計算することにより、100回シフト後におけるレジスタ11～14の値 $D_{3(100)}$ ,  $D_{2(100)}$ ,  $D_{1(100)}$ ,  $D_{0(100)}$ を直ちに求めることができる。

【0029】

【数6】

$$\begin{bmatrix} D_{3(100)} \\ D_{2(100)} \\ D_{1(100)} \\ D_{0(100)} \end{bmatrix} = \begin{bmatrix} 0 & 1 & 0 & 1 \\ 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \end{bmatrix}^{100} \begin{bmatrix} Ri_3 \\ Ri_2 \\ Ri_1 \\ Ri_0 \end{bmatrix} = \begin{bmatrix} 0 & 0 & 1 & 0 \\ 0 & 0 & 0 & 1 \\ 1 & 0 & 1 & 0 \\ 0 & 1 & 0 & 1 \end{bmatrix} \begin{bmatrix} Ri_3 \\ Ri_2 \\ Ri_1 \\ Ri_0 \end{bmatrix}$$

【0030】

この式における100回シフト後の各レジスタ値を決定する行列は、次式に示すように各行ごとのM行列 $M_{3(100)}$ ,  $M_{2(100)}$ ,  $M_{1(100)}$ ,  $M_{0(100)}$ に分けることができる。

【0031】

【数7】

$$\begin{aligned} M_{3(100)} &= \begin{bmatrix} 0 & 0 & 1 & 0 \end{bmatrix} \\ M_{2(100)} &= \begin{bmatrix} 0 & 0 & 0 & 1 \end{bmatrix} \\ M_{1(100)} &= \begin{bmatrix} 1 & 0 & 1 & 0 \end{bmatrix} \\ M_{0(100)} &= \begin{bmatrix} 0 & 1 & 0 & 1 \end{bmatrix} \end{aligned}$$

【0032】

これらの行列を予め求めて保持しておき、ユーザごとの初期値が与えられれば、両者の演算により、直ちに100回シフト後におけるレジスタ11～14のそれぞれの値を算出することができる。そして、以後シフトレジスタのシフト動作を続行すれば、初期値のロードから100回シフト後以降の拡散符号系列が順次生成されることになる。

【0033】

図7は、上述のように、初期値のロードからたとえば100回シフト後のレジスタ値を直ちに決定して拡散符号系列の生成を開始することができる拡散符号系

列生成装置を示すブロック図である。

【0034】

図7において、レジスタ11～14、セクタ15～18、および排他的論理和回路20からなるシフトレジスタの構成は、図6に示したシフトレジスタの構成と同じであり、その説明は繰返さない。

【0035】

図7の回路構成において、演算回路21は、上述の100回シフト後の各レジスタ値を決定するためのM行列 $M_{3(100)}$ 、 $M_{2(100)}$ 、 $M_{1(100)}$ 、 $M_{0(100)}$ が格納されたメモリまたはレジスタを備えており、あるいは、これらのM行列を発生するように組合された論理ゲートでハードウェア的に構成されている。一方、初期値バッファ22には、当該送信機に固有の初期値 $R_i = [R_{i3}, R_{i2}, R_{i1}, R_{i0}]$ が与えられる。なお、初期値バッファ22は、たとえばメモリ、レジスタなどで構成される。

【0036】

演算回路21は、上述のM行列式と、初期値バッファ22に与えられた初期値 $R_i$ との乗算を行ない、100回シフト後におけるレジスタ1～4の値 $R_{o3}$ 、 $R_{o2}$ 、 $R_{o1}$ 、 $R_{o0}$ を算出する。

【0037】

このようにして求めたレジスタ値を、所定のタイミングでセクタ15～18を介して対応するレジスタ11～14にロードし、それ以降はシフトレジスタをシフト動作させることにより、100回シフト後以降のレジスタ14の出力符号 $R_{s0}$ を拡散符号系列として順次出力することができる。

【0038】

【発明が解決しようとする課題】

しかしながら、図7に示した回路構成では、演算回路21の回路規模が大きくなるという問題がある。図7においては、前述のように説明の都合上、4段のレジスタからなるシフトレジスタを用いた例を示しているが、現実の規格や仕様では、たとえば25段という多段のシフトレジスタが用いられており、このようにシフトレジスタの段数が大きくなるほど演算回路11の回路規模ははるかに大き

なくなってしまう。

【0039】

それゆえに、この発明の目的は、回路規模の小型化を実現した拡散符号系列生成装置およびそのような拡散符号系列生成装置を用いた携帯無線端末を提供することである。

【0040】

【課題を解決するための手段】

この発明による送信データのスクランブルに用いる拡散符号系列を生成する拡散符号系列生成装置は、シフトレジスタと、演算手段と、入力手段と、制御手段とを備える。シフトレジスタは、所定の生成多項式による拡散符号系列を生成するために帰還処理および拡散処理を実行するように接続された複数段のレジスタからなる。演算手段は、所定の初期値をもとにシフトレジスタを、増加する所定回数だけそれぞれシフト動作させたならば得られる、帰還処理および拡散処理にそれぞれ関与するレジスタの値を演算する。入力手段は、演算されたレジスタの値を、対応するレジスタに入力する。制御手段は、演算されかつ入力された値に基づいて複数段のレジスタのすべてが有効な値を保持するまで、演算手段がレジスタの値の演算を行ないかつ入力手段が演算された値をレジスタに入力するように演算手段および入力手段を制御する。シフトレジスタは、複数段のレジスタのすべてに保持された有効な値をもとにシフト動作を続行して拡散符号系列を生成する。

【0041】

好ましくは、拡散符号系列生成装置は、所定の初期値を保持した記憶手段と、所定の生成多項式に基づき増加する所定回数だけそれぞれシフト動作させた後における帰還処理および拡散処理にそれぞれ関与するレジスタの値を決定するための行列式を供給する行列式供給手段とをさらに備え、演算手段は、記憶手段に保持されている所定の初期値と行列式供給手段から供給される行列式とを乗算することによりレジスタの値を演算する。

【0042】

より好ましくは、拡散符号系列生成装置は、所定の初期値を保持した記憶手段



をさらに備え、演算手段は、所定の生成多項式に基づき増加する所定回数だけそれぞれシフト動作させた後における帰還処理および拡散処理にそれぞれ関与するレジスタの値を決定するための行列式を所定の演算により求め、記憶手段に保持されている所定の初期値と乗算することによりレジスタの値を演算する。

#### 【0043】

この発明の他の局面に従うと、送信データのスクランブルに用いる拡散符号系列を生成する拡散符号系列生成装置は、記憶手段と、論理手段と、演算手段とを備える。記憶手段は、所定の初期値を保持する。論理手段は、所定の生成多項式に基づき拡散符号系列を構成する各符号の値を決定するための行列式を所定の演算により求める。演算手段は、記憶手段に保持されている所定の初期値と、求められた行列式とを乗算することにより拡散符号系列を構成する各符号の値を演算する。

#### 【0044】

この発明のさらに他の局面に従うと、デジタル無線通信の携帯無線端末は、送信デジタルデータを変調する送信系モデム手段と、送信系モデム手段の送信出力を無線処理して送出する無線処理手段とを備える。送信系モデム手段は、送信デジタルデータのスクランブルに用いる拡散符号系列を生成する拡散符号系列生成手段を含み、拡散符号系列生成手段は、シフトレジスタと、演算手段と、入力手段と、制御手段とを含む。シフトレジスタは、所定の生成多項式による拡散符号系列を生成するために帰還処理および拡散処理を実行するように接続された複数段のレジスタからなる。演算手段は、所定の初期値をもとにシフトレジスタを、増加する所定回数だけそれぞれシフト動作させたならば得られる、帰還処理および拡散処理にそれぞれ関与するレジスタの値を演算する。入力手段は、演算されたレジスタの値を、対応するレジスタに入力する。制御手段は、演算されたかつ入力された値に基づいて複数段のレジスタのすべてが有効な値を保持するまで、演算手段がレジスタの値の演算を行ないかつ入力手段が演算された値をレジスタに入力するように演算手段および入力手段を制御する。シフトレジスタは、複数段のレジスタのすべてに保持された有効な値をもとにシフト動作を続行して拡散符号系列を生成する。

## 【 0 0 4 5 】

好ましくは、拡散符号系列生成手段は、所定の初期値を保持した記憶手段と、所定の生成多項式に基づき増加する所定回数だけそれぞれシフト動作させた後における帰還処理および拡散処理にそれぞれ関与するレジスタの値を決定するための行列式を供給する行列式供給手段とをさらに含み、演算手段は、記憶手段に保持されている所定の初期値と行列式供給手段から供給される行列式とを乗算することによりレジスタの値を演算する。

## 【 0 0 4 6 】

より好ましくは、拡散符号系列生成手段は、所定の初期値を保持した記憶手段をさらに含み、演算手段は、所定の生成多項式に基づき増加する所定回数だけそれぞれシフト動作させた後における帰還処理および拡散処理にそれぞれ関与するレジスタの値を決定するための行列式を所定の演算により求め、記憶手段に保持されている所定の初期値と乗算することによりレジスタの値を演算する。

## 【 0 0 4 7 】

この発明のさらに他の局面に従うと、デジタル無線通信の携帯無線端末は、送信デジタルデータを変調する送信系モデム手段と、送信系モデム手段の送信出力を無線処理して送出する無線処理手段とを備える。送信系モデム手段は、送信デジタルデータのスクランブルに用いる拡散符号系列を生成する拡散符号系列生成手段を含み、拡散符号系列生成手段は、記憶手段と、論理手段と、演算手段とを含む。記憶手段は、所定の初期値を保持する。論理手段は、所定の生成多項式に基づき拡散符号系列を構成する各符号の値を決定するための行列式を所定の演算により求める。演算手段は、記憶手段に保持されている所定の初期値と、求められた行列式とを乗算することにより拡散符号系列を構成する各符号の値を演算する。

## 【 0 0 4 8 】

したがって、この発明によれば、シフトレジスタを構成する複数段のレジスタのうち、帰還処理および拡散処理に関与するレジスタの値のみを演算手段で演算するように構成したので、シフトレジスタの段数が増加した場合でも拡散符号系列生成装置の回路規模の増大を抑えることができる。

## 【 0 0 4 9 】

さらに、この発明によれば、拡散符号系列を構成する各符号の値を決定するための行列式を求め、所定の初期値と求められた行列式とを乗算して拡散符号系列を構成する各符号の値を演算するように構成したので、シフトレジスタを用いることなく、拡散符号系列を生成することが可能となる。

## 【 0 0 5 0 】

## 【発明の実施の形態】

以下、この発明の実施の形態を図面を参照して詳しく説明する。なお、図中同一または相当部分には同一符号を付してその説明は繰返さない。

## 【 0 0 5 1 】

図 1 は、この発明による拡散符号系列生成装置が適用される、デジタル無線通信の携帯無線端末の全体構成を示す概略ブロック図である。

## 【 0 0 5 2 】

図 1 に示す携帯無線端末は、大きくは、アンテナ 1 と、無線処理部 2 と、ベースバンド処理部 3 と、マイクおよびスピーカからなる音声入出力装置 4 と、外部メモリ 5 と、LCD およびキーからなる表示／入力装置 6 とから構成される。

## 【 0 0 5 3 】

特に、ベースバンド処理部 3 は、モデム 3 a と、チャンネルコーデック 3 b と、DSP 3 c と、CPU 3 d と、内部メモリ 3 e と、外部インタフェース 3 f と、内部バス 3 g とを含んでいる。

## 【 0 0 5 4 】

アンテナ 1 で受信した、図示しない基地局からの電波信号は、無線処理部 2 によってベースバンドの信号に変換され、ベースバンド処理部 3 に与えられる。

## 【 0 0 5 5 】

ベースバンド処理部 3 において、受信信号はモデム 3 a によって復調され、さらにチャンネルコーデック 3 b によって復号化されて DSP 3 c に与えられる。

## 【 0 0 5 6 】

DSP 3 c は、受信信号をデータ処理して音声入出力装置 4 のスピーカを駆動し、受信信号を音声に変換する。

## 【0057】

一方、音声入出力装置4のマイクで入力された音声は、DSP3cでデータ処理され、チャンネルコーデック3bに与えられる。チャンネルコーデック3bは与えられた音声信号を符号化してモデム3aに与え、モデム3aは与えられた送信信号を変調して無線処理部2に与える。無線処理部2は、送信信号に無線処理を施してアンテナ1を介して図示しない基地局に向かって送出する。

## 【0058】

なお、モデム3a、チャンネルコーデック3b、およびDSP3cには、内部バス3gを介して、CPU3d、内部メモリ3e、外部インタフェース3fとが接続されている。CPU3dは、内部メモリ3eに格納されているプログラムに従って図1の携帯無線端末全体の動作を制御する。また外部インタフェース3fは、外部メモリ5および表示/入力装置6とのインタフェースとして機能する。

## 【0059】

次に、この発明による拡散符号系列生成装置は、携帯無線端末のうち、送信系のモデムにおいて送信データのスクランブルに用いる拡散符号系列を生成するために用いられるので、送信系のモデムの構成について以下に説明する。

## 【0060】

図2は、図1のベースバンド処理部3のモデム3aのうち、送信系のモデム部30を抽出して示す概略ブロック図である。

## 【0061】

図1のチャンネルコーデック3bから出力された送信データは、無線フレーム組立て部30cにおいて無線フレームへと組立てられ、拡散変調部30bに与えられて拡散変調処理が施される。

## 【0062】

より具体的には、拡散変調部30bにおいて、図示しない直交符号生成装置によって生成される直交符号が送信データに乗算されて送信データの情報そのものが拡散される。次に、図示しないこの発明による拡散符号系列生成装置によって生成される拡散符号系列が送信データに乗算され、これにより送信データはスペクトラム拡散通信のためのスクランブル処理が施されることになる。なお、この

明細書において、拡散符号という用語は、前述の直交符号ではなく、送信データのスクランブルのために用いる符号を意味するものとする。

#### 【 0 0 6 3 】

拡散変調部 3 0 b により拡散変調された送信データは、波形整形部 3 0 a に与えられ、図示しないデジタルフィルタを用いて伝送占有帯域を制限する波形整形が施される。波形整形部 3 0 a で波形整形された送信データは、図 1 の無線処理部 2 に与えられる。

#### 【 0 0 6 4 】

次に、図 2 の拡散変調部 3 0 b で用いられる、この発明の拡散符号系列生成装置について詳細に説明する。

#### 【 0 0 6 5 】

##### 〔実施の形態 1〕

図 3 は、この発明の実施の形態 1 による拡散符号系列生成装置を示すブロック図である。この実施の形態 1 による拡散符号系列生成装置は、以下の点で、図 7 に示した従来の拡散符号系列生成装置と異なっている。

#### 【 0 0 6 6 】

すなわち、図 7 の従来の拡散符号系列生成装置では、前述のように、初期値のシフトレジスタへのロードから 1 0 0 回シフト後における各レジスタ値を求めるための M 行列式  $M_{3(100)}$ ,  $M_{2(100)}$ ,  $M_{1(100)}$ ,  $M_{0(100)}$  を予め求めておき、演算回路 2 1 において、初期値  $R_i$  と乗算することにより、シフトレジスタを構成するレジスタ 1 1 ~ 1 4 のすべての値を算出し、対応するレジスタにロードするように構成していた。

#### 【 0 0 6 7 】

しかしながら、拡散符号系列を生成するためには、シフトレジスタを構成するすべてのレジスタの値を求めなくても、そのうち、少なくとも帰還処理および拡散処理に参与するレジスタの値のみを演算すれば足りる。

#### 【 0 0 6 8 】

すなわち、帰還処理および拡散処理に関するレジスタとは、図 3 の拡散符号系列生成装置のシフトレジスタを構成するレジスタ 1 1 ~ 1 4 のうち、符号  $R_{s_0}$

を拡散符号として出力するとともに排他的論理和回路 2 0 に帰還処理するレジスタ 1 4 と、符号  $R s_2$  を排他的論理和回路 2 0 に帰還処理するレジスタ 1 2 とを意味している。

#### 【0 0 6 9】

図 3 の構成において、ある位相でレジスタ 1 2, 1 4 の値が外部から与えられれば、次の位相、すなわち 1 回のシフト動作後に、排他的論理和回路 2 0 によってレジスタ 1 1 の値  $D_3$  が決定される。また、レジスタ 1 2 の値  $R s_2$  はレジスタ 1 3 にシフトされる。さらに、この位相においてもう 1 度、レジスタ 1 2, 1 4 の値が外部から与えられれば、次の位相において、レジスタ 1 1 ~ 1 4 のすべてが有効な値を保持することになる。その後は、シフトレジスタのシフト動作を続行すれば拡散符号系列がレジスタ 1 4 から順次出力されることになる。言換えると、本来必要なレジスタの値は、レジスタ 1 2, 1 4 の値のみである。

#### 【0 0 7 0】

したがって、図 3 に示す実施の形態 1 による拡散符号系列生成装置では、レジスタ 1 2, 1 4 に対応する 1 0 0 回シフト後の M 行列  $M_{2(100)}$ ,  $M_{0(100)}$ 、および 1 0 1 回シフト後の M 行列  $M_{2(101)}$ ,  $M_{0(101)}$  を次式を用いて予め算出し ( $t = 1 0 0, 1 0 1$ )、制御回路 2 4 に含まれるメモリまたはレジスタの記憶領域  $M_2/M_0$  に格納しておく。

#### 【0 0 7 1】

なお、M 行列の供給の方法としては、上述のようにメモリ、レジスタなどの記憶手段に記憶させ、そこから読出す方法の他に、制御回路 2 4 を、これらの M 行列を発生するように組合された論理ゲートでハードウェア的に構成する方法もある。以下に説明する各実施形態では説明の便宜上、M 行列はメモリに格納されることとするが、M 行列の供給方法はこれに限られるものではない。

#### 【0 0 7 2】

【数 8】

$$\begin{bmatrix} 0 & 1 & 0 & 1 \\ 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \end{bmatrix}^t$$

【0 0 7 3】

一方、初期値バッファ 2 2 には、当該送信機に固有の初期値  $R_i = [R_{i3}, R_{i2}, R_{i1}, R_{i0}]$  が与えられる。なお、各実施形態では、初期値バッファ 2 2 は、たとえばメモリ、レジスタなどで構成される。

【0 0 7 4】

図 3 の演算回路 2 3 はまず、1 0 0 回シフト後の符号を出力する位相  $P_{(100)}$  の 1 位相前の  $P_{(99)}$  のタイミングで、制御回路 2 4 内のメモリに格納されている 1 0 0 回シフト後の M 行列  $M_{2(100)}$ ,  $M_{0(100)}$  と、初期値バッファ 2 2 に格納されている初期値  $R_i$  とを乗算して、1 0 0 回シフト後の位相  $P_{(100)}$  におけるレジスタ 1 2, 1 4 への入力  $R_{o2(100)}$ ,  $R_{o0(100)}$  を算出する。

【0 0 7 5】

このように算出された値  $R_{o2(100)}$ ,  $R_{o0(100)}$  はそれぞれ、制御回路 2 4 による制御下にセレクタ 1 6, 1 8 によって選択され、対応するレジスタ 1 2, 1 4 へ入力  $D_2$ ,  $D_0$  として与えられ、1 0 0 回シフト後の符号を出力する位相  $P_{(100)}$  においてラッチされる。それぞれのレジスタ 1 2, 1 4 の出力  $R_{s2}$ ,  $R_{s0}$  のうち、 $R_{s0}$  は拡散符号として出力され、 $R_{s2}$ ,  $R_{s0}$  は排他的論理和回路 2 0 を介して帰還され、入力  $D_3$  としてレジスタ 1 1 に与えられる。

【0 0 7 6】

したがって、1 0 0 回シフト後の位相  $P_{(100)}$  のタイミングで、レジスタ 1 2, 1 4 は、1 0 0 回シフト後に相当する有効な値を保持し出力していることになるが、この時点ではレジスタ 1 1, 1 3 には有効な値は保持されていないことになる。

【0 0 7 7】

したがって、演算装置 2 3 は、1 0 0 回シフト後の位相  $P_{(100)}$  のタイミングで、制御回路 2 4 内のメモリに格納されている 1 0 1 回シフト後の M 行列  $M_{2(101)}$ 、 $M_{0(101)}$  と、初期値バッファ 2 2 に格納されている初期値  $R_i$  とを乗算して、1 0 1 回シフト後の位相  $P_{(101)}$  におけるレジスタ 1 2, 1 4 への入力値  $R_{o2(101)}$ 、 $R_{o0(101)}$  を算出する。

【0 0 7 8】

このように算出された値  $R_{o2(101)}$ 、 $R_{o0(101)}$  はそれぞれ、セクタ 1 6, 1 8 によって選択され、対応するレジスタ 1 2, 1 4 へ入力  $D_2$ 、 $D_0$  として与えられ、1 0 1 回シフト後の符号を出力する位相  $P_{(101)}$  においてラッチされる。またこの位相  $P_{(101)}$  において、位相  $P_{(100)}$  においてレジスタ 1 2 から出力されていた値  $R_{s2}$  はレジスタ 1 3 にラッチされ、かつ排他的論理和回路 2 0 からの値  $D_3$  もレジスタ 1 1 にラッチされる。

【0 0 7 9】

したがって、この時点で、レジスタ 1 1 ~ 1 4 のすべては、1 0 1 回シフト後の位相  $P_{(101)}$  における有効な値を保持していることになる。

【0 0 8 0】

したがって、これ以降、レジスタ 1 1 の出力  $R_{s3}$  がレジスタ 1 2 の入力に与えられ、レジスタ 1 3 の出力  $R_{s1}$  がレジスタ 1 4 の入力に与えられるように、セクタ 1 6, 1 8 の選択動作が、制御回路 2 4 内のメモリの記憶領域に保持されているセクタ制御データ  $D_2$ 、 $D_0$  により制御される。

【0 0 8 1】

これにより、位相  $P_{(101)}$  よりも後は、演算回路 2 3 は、レジスタ値を演算する必要はなく、レジスタ 1 1 ~ 1 4 に保持された有効な値をシフトさせることにより、レジスタ 1 4 の出力から拡散符号系列が順次生成されることになる。

【0 0 8 2】

以上のように、この発明の実施の形態 1 によれば、シフトレジスタを構成するレジスタのうち、帰還処理および拡散処理に参与するレジスタの値のみを演算するように構成しているので、演算回路の小型化を図ることができる。なお、図 3 の構成では、図 7 に示した従来例と比較して、制御回路 2 4 が付加されているの



で、一見したところ回路規模が増大しているかのように見える。しかしながら、シフトレジスタの段数が多くなるほど、図 7 の従来例の演算回路 2 1 の演算量および回路規模は莫大なものとなり、これと対比すると、図 3 の実施の形態 1 では、制御回路 2 4 の付加に比べて演算回路 2 3 の演算量および回路規模の縮小による効果が著しく、全体として拡散符号系列生成装置の回路規模を著しく縮小することが可能となる。

【 0 0 8 3 】

〔実施の形態 2〕

図 4 は、この発明の実施の形態 2 による拡散符号系列生成装置を示すブロック図である。この実施の形態 2 による拡散符号系列生成装置は、以下の点で、図 3 に示した実施の形態 1 による拡散符号系列生成装置と異なっている。

【 0 0 8 4 】

すなわち、図 3 の実施の形態 1 の拡散符号系列生成装置では、レジスタ 1 2 に対応する M 行列  $M_{2(100)}$ 、 $M_{2(101)}$  と、レジスタ 1 4 に対応する M 行列  $M_{0(100)}$ 、 $M_{0(101)}$  とを予め算出して制御回路 2 4 内のメモリに格納しておき、位相  $P_{(9)}$ 、 $P_{(100)}$  の各々ごとにレジスタ値の演算に必要な M 行列を選択して抽出していたが、図 4 の実施の形態 2 の拡散符号系列生成装置では、これと等価な処理を異なる回路構成で実行している。

【 0 0 8 5 】

すなわち、各レジスタの値は、シフトレジスタを介するデータのシフトと帰還処理とによって求められる。したがって、各レジスタの値を求めるための M 行列同士も、互いに時間的、空間的な相関性を有するものである。このような相関性を用いれば、ある 1 つの M 行列から別の M 行列を簡単な回路で求めることができる。

【 0 0 8 6 】

たとえば、図 3 の実施の形態 1 のように 4 つの M 行列を予めメモリに格納しておかなくても、1 つの M 行列が与えられれば残りの 3 つの M 行列を簡単な回路構成で算出することができる。以下に説明する実施の形態 2 では、1 つの M 行列として  $M_{0(100)}$  が与えられた場合に、残りの 3 つの M 行列  $M_{0(101)}$ 、 $M_{2(100)}$ 、 $M$

2(101)を求める回路構成を示している。

【 0 0 8 7 】

まず、各レジスタの  $t$  回シフト後の値を求めるための  $M$  行列は、上述の数 8 の行列の演算結果を各行ごとに分けることによって得られる。したがって、さらに 1 回シフトした合計  $(t + 1)$  回シフト後における  $M$  行列は、次式を演算することによって得られる。

【 0 0 8 8 】

【数 9】

$$\begin{bmatrix} 0 & 1 & 0 & 1 \\ 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \end{bmatrix}^t \begin{bmatrix} 0 & 1 & 0 & 1 \\ 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 0 & 0 & 1 & 0 \end{bmatrix}$$

【 0 0 8 9 】

ここで、たとえば  $t$  回シフト後におけるレジスタ 1 4 に対応する  $M$  行列を  $M_0(t)$  で表わすと、この  $M$  行列の行列要素は次式のように表わされる。

【 0 0 9 0 】

【数 1 0】

$$M_{0(t)} = [M_{0(t,3)} \quad M_{0(t,2)} \quad M_{0(t,1)} \quad M_{0(t,0)}]$$

【 0 0 9 1 】

このように表現した場合、 $t$  回シフト後における  $M$  行列  $M_0(t)$  と、 $(t + 1)$  回シフト後における  $M$  行列  $M_0(t+1)$  との間の時間的關係は次式で表現される。

【 0 0 9 2 】

【数 1 1】

$$M_{0(t+1,3)} = M_{0(t,2)}$$

$$M_{0(t+1,2)} = M_{0(t,3)} \oplus M_{0(t,1)}$$

$$M_{0(t+1,1)} = M_{0(t,0)}$$

$$M_{0(t+1,0)} = M_{0(t,3)}$$

## 【 0 0 9 3 】

したがって、上述の実施の形態に戻れば、100回シフト後のレジスタ14のM行列である $M_{0(100)}$ の各行列要素が与えられれば、101回シフト後のレジスタ14のM行列である $M_{0(101)}$ の各行列要素は上式より容易に求まる。

## 【 0 0 9 4 】

また、レジスタ12の値 $Rs_2$ は2回シフトされてレジスタ14の値 $Rs_0$ となるので、 $t$ 回シフト後におけるレジスタ14のM行列である $M_{0(t)}$ と、 $t$ 回シフト後におけるレジスタ12のM行列である $M_{2(t)}$ との空間的關係は、 $t$ 回シフト後におけるレジスタ14のM行列である $M_{0(t)}$ と $(t+2)$ 回シフト後におけるレジスタ14のM行列である $M_{0(t+2)}$ との時間的關係と等価である。

## 【 0 0 9 5 】

したがって、数11に示した $M_{0(t+1)}$ と $M_{0(t)}$ との時間的關係を2回適用すれば、 $M_{0(t)}$ を元に $M_{2(t)}$ を求めることができる。

## 【 0 0 9 6 】

具体的には、次式のように、まず $M_{0(t)}$ から $M_{0(t+1)}$ を求め、さらに $M_{0(t+1)}$ から $M_{0(t+2)}$ を求めれば、結果として $M_{2(t)}$ が求められることになる。

## 【 0 0 9 7 】

## 【 数 1 2 】

$$M_{0(t+1,3)} = M_{0(t,2)}$$

$$M_{0(t+1,2)} = M_{0(t,3)} \oplus M_{0(t,1)}$$

$$M_{0(t+1,1)} = M_{0(t,0)}$$

$$M_{0(t+1,0)} = M_{0(t,3)}$$

$$M_{0(t+2,3)} = M_{0(t+1,2)} = M_{0(t,3)} \oplus M_{0(t,1)}$$

$$M_{0(t+2,2)} = M_{0(t+1,3)} \oplus M_{0(t+1,1)} = M_{0(t,2)} \oplus M_{0(t,0)}$$

$$M_{0(t+2,1)} = M_{0(t+1,0)} = M_{0(t,3)}$$

$$M_{0(t+2,0)} = M_{0(t+1,3)} = M_{0(t,2)}$$

## 【 0 0 9 8 】

図4の演算回路25は、このようなM行列の変換を実現するための回路構成で

ある。図4を参照して、まず、99回シフト後の位相 $P_{(99)}$ において、制御回路26内のメモリに格納されていた100回シフト後におけるレジスタ14のM行列 $M_{0(100)}$ がセレクタ25aを介して $M_0$ 変換論理回路25bおよび乗算回路25cの一方入力に与えられる。

【0099】

$M_0$ 変換論理回路25bは、数11に示した変換論理に基づいて、与えられたM行列 $M_{0(100)}$ をさらに1回シフト後のM行列 $M_{0(101)}$ に変換してラッチ回路25dに保持させるとともに、次段の $M_0$ 変換論理回路25eに与える。

【0100】

乗算回路25cは、与えられたM行列 $M_{0(100)}$ と、初期値バッファ22に格納されている初期値 $R_i$ との乗算を行ない、レジスタ14の値である $R_{o_0}$ を生成し、セレクタ18を介してレジスタ14の入力に与える。

【0101】

一方、 $M_0$ 変換論理回路25eは、 $M_0$ 変換論理回路25bから出力される $M_{0(101)}$ を、再度、数11に示した変換論理に基づいて、さらに1回シフト後の $M_{0(102)}$ すなわち $M_{2(100)}$ に変換して、乗算回路25fに与える。乗算回路25fは、与えられたM行列 $M_{2(100)}$ と、初期値バッファ22に格納されている初期値 $R_i$ との乗算を行ない、レジスタ12の値である $R_{o_{2(100)}}$ を生成し、セレクタ16を介してレジスタ12の入力に与える。

【0102】

このように算出された値 $R_{o_{2(100)}}$ 、 $R_{o_{0(100)}}$ はそれぞれ、100回シフト後の位相 $P_{(100)}$ においてレジスタ12、14にラッチされる。したがって、位相 $P_{(100)}$ では、レジスタ12、14は100回シフト後の有効な値を保持して出力していることになるが、この時点ではレジスタ11、13には有効な値は保持されていない。

【0103】

この位相 $P_{(100)}$ のタイミングで、ラッチ回路25dに保持されている $M_{0(101)}$ がセレクタ25aを介して選択され、 $M_0$ 変換論理回路25bおよび乗算回路25cに与えられる。

## 【0 1 0 4】

$M_0$ 変換論理回路 2 5 b に与えられた  $M_{0(101)}$  は、数 1 1 の変換論理に基づく変換を受け、さらに  $M_0$ 変換論理回路 2 5 e に与えられて再度、数 1 1 の変換論理に基づく変換を受ける。すなわち、 $M_{0(101)}$  は、2 回の変換論理処理により空間的に  $M_{2(101)}$  に変換され乗算回路 2 5 f に与えられる。

## 【0 1 0 5】

乗算回路 2 5 c は、与えられた  $M_{0(101)}$  と、初期値バッファ 2 2 に格納されている初期値  $R_i$  との乗算を行ない、レジスタ 1 4 の値である  $R_{o0(101)}$  を生成し、セクタ 1 8 を介してレジスタ 1 4 の入力に与える。

## 【0 1 0 6】

一方、乗算回路 2 5 f は、与えられた  $M_{2(101)}$  と、初期値バッファ 2 2 に格納されている初期値  $R_i$  との乗算を行ない、レジスタ 1 2 の値である  $R_{o2(101)}$  を生成し、セクタ 1 6 を介してレジスタ 1 2 の入力に与える。

## 【0 1 0 7】

このように算出された値  $R_{o2(101)}$ 、 $R_{o0(101)}$  はそれぞれ、1 0 1 回シフト後の位相  $P_{(101)}$  においてレジスタ 1 2、1 4 にラッチされる。また、この位相において、位相  $P_{(100)}$  においてレジスタ 1 2 から出力されていた値  $R_{s2}$  はレジスタ 1 3 にラッチされ、排他的論理和回路 2 0 からの値  $D_3$  もレジスタ 1 1 にラッチされる。

## 【0 1 0 8】

したがって、この時点で、レジスタ 1 1 ~ 1 4 のすべては、1 0 1 回シフト後の位相  $P_{(101)}$  における有効な値を保持していることになる。

## 【0 1 0 9】

したがって、これ以降、レジスタ 1 1 の出力  $R_{s3}$  がレジスタ 1 2 に与えられ、レジスタ 1 3 の出力  $R_{s1}$  がレジスタ 1 4 に与えられるように、セクタ 1 6、1 8 の選択動作が、制御回路 2 4 内のメモリの記憶領域に保持されているセクタ制御データにより制御される。

## 【0 1 1 0】

これにより、位相  $P_{(101)}$  よりも後は、演算回路 2 5 はレジスタ値を演算する

必要はなく、レジスタ 1 1 ~ 1 4 に保持されている有効な値をシフトさせることにより、レジスタ 1 4 の出力から拡散符号系列が順次得られることになる。

#### 【 0 1 1 1 】

以上のように、この発明の実施の形態 2 によれば、図 3 に示した実施の形態 1 と等価な機能を実現することができるので、シフトレジスタを構成するレジスタのうち帰還処理および拡散処理に関与するレジスタの値のみを演算することにより、演算回路の小型化を図ることができる。特に、前述の実施の形態 1 のように連続する 2 つの位相にわたって合計 4 つの M 行列を記憶する代わりに 1 つの M 行列のみを記憶し、この 1 つの M 行列に基づいて残りの 3 つの M 行列を簡単な回路構成で算出するようにしているので、必要なメモリ容量を削減し、拡散符号系列生成装置全体の回路構成をさらに縮小することができる。

#### 【 0 1 1 2 】

##### 〔実施の形態 3〕

図 5 は、この発明の実施の形態 3 による拡散符号系列生成装置を示すブロック図である。

#### 【 0 1 1 3 】

前述の実施の形態 1 および 2 では、演算回路 2 3 または 2 5 によって、レジスタ 1 2, 1 4 の値を生成して対応するレジスタにロードしていき、レジスタ 1 1 ~ 1 4 のすべてが有効なレジスタ値で満たされた後は、シフトレジスタ自体のシフト動作により拡散符号系列を生成していた。

#### 【 0 1 1 4 】

しかしながら、図 4 の実施の形態 2 の演算回路 2 5 に着目すると、その中の乗算回路 2 5 c から出力される値  $R_{o_0}$  は、セレクタ 1 8 およびレジスタ 1 4 を介して拡散符号  $R_{s_0}$  として出力される値である。したがって、乗算回路 2 5 c の出力  $R_{o_0}$  を連続して抽出すれば、シフトレジスタを用いることなく、拡散符号系列を直接生成することができる。

#### 【 0 1 1 5 】

図 5 の実施の形態 3 による拡散符号系列生成装置は、図 4 の実施の形態 2 における演算回路 2 5 を簡略化して拡散符号系列生成装置として構成したものである

## 【0 1 1 6】

図 5 を参照して、M 行列バッファ 2 7 に格納されていた  $t$  回シフト後における M 行列  $M_0(t)$  がセレクタ 2 8 a によって選択されてラッチ 2 8 b に保持され、その出力が  $M_0$  変換論理回路 2 8 c と乗算回路 2 8 d とに与えられる。なお、前述の各実施形態と同様に、M 行列バッファ 2 7 は、メモリ、レジスタなどの記憶手段で構成してもよく、または M 行列を発生するように組合された論理ゲートからなるハードウェアの回路構成を用いてもよい。

## 【0 1 1 7】

乗算回路 2 8 d は、与えられた  $M_0(t)$  と、初期値バッファ 2 2 に保持されている初期値  $R_i$  との乗算を行ない、値  $R_{o0}(t)$  を生成する。この値は、拡散符号  $R_{s0}(t)$  として出力される。

## 【0 1 1 8】

一方、 $M_0$  変換論理回路 2 8 c は、数 1 1 に示した変換論理に基づいて  $M_0(t)$  を  $M_0(t+1)$  に変換し、セレクタ 2 8 a を介してラッチ 2 8 b に保持させる。ラッチ 2 8 b の出力は、 $M_0$  変換論理回路 2 8 c と乗算回路 2 8 d とに与えられる。

## 【0 1 1 9】

乗算回路 2 8 d は、与えられた  $M_0(t+1)$  と、初期値バッファ 2 2 に保持されている初期値  $R_i$  との乗算を行ない、値  $R_{o0}(t+1)$  を生成する。この値は、拡散符号  $R_{s0}(t+1)$  として出力される。

## 【0 1 2 0】

このように、M 行列バッファ 2 7 に保持されている 1 つの M 行列  $M_0(t)$  を元に各位相ごとに数 1 1 の変換論理を繰返し適用することにより、各位相に応じた M 行列を  $M_0$  変換論理回路 2 8 c で順次生成することができ、乗算回路 2 8 d で初期値  $R_i$  と乗算することにより、拡散符号  $R_{s0}$  の系列を生成することができる。

## 【0 1 2 1】

以上のように、この発明の実施の形態 3 によれば、シフトレジスタを用いることなく演算回路から直接に拡散符号系列を生成するように構成しているので、拡

散符号系列生成装置のさらなる小型化が可能となる。

【0122】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0123】

【発明の効果】

以上のように、この発明によれば、シフトレジスタを構成する複数段のレジスタのうち、帰還処理および拡散処理に関与するレジスタの値のみを演算回路で演算するように構成したので、演算回路の回路規模を縮小することが可能となる。特に、シフトレジスタの段数が増加した場合であっても、拡散符号生成装置全体の回路規模の増大を抑えることができる。

【0124】

さらに、この発明によれば、シフトレジスタを用いることなく、演算回路によって直接拡散符号系列を生成するように構成しているので、拡散符号系列生成装置の回路規模をさらに縮小することが可能となる。

【図面の簡単な説明】

【図1】 この発明による拡散符号系列生成装置が適用される携帯無線端末の概略ブロック図である。

【図2】 図1に示す携帯無線端末中の送信系モデム部を示す概略ブロック図である。

【図3】 この発明の実施の形態1による拡散符号系列生成装置を示す概略ブロック図である。

【図4】 この発明の実施の形態2による拡散符号系列生成装置を示す概略ブロック図である。

【図5】 この発明の実施の形態3による拡散符号系列生成装置を示す概略ブロック図である。

【図6】 従来の拡散符号系列生成装置を示す概略ブロック図である。



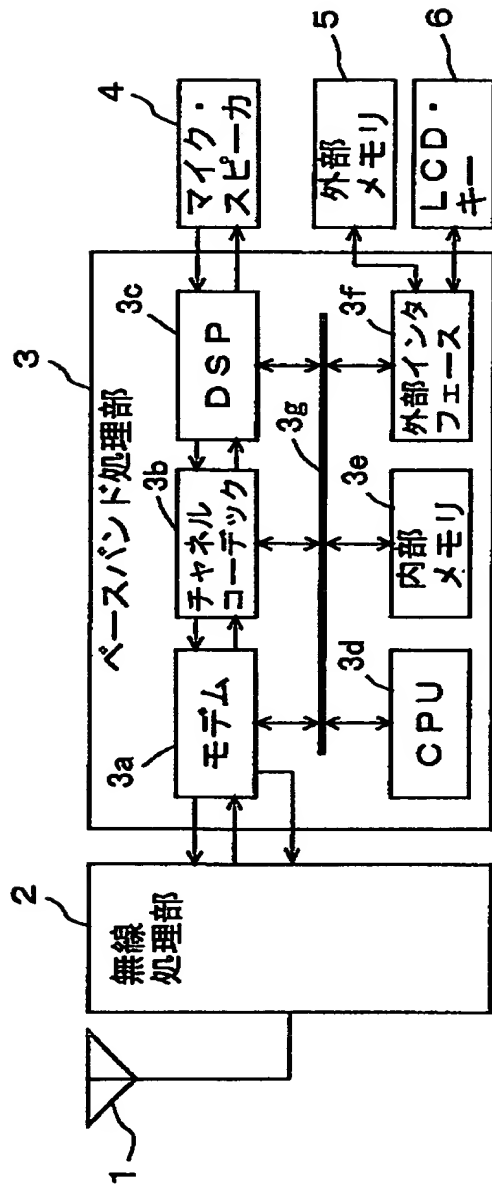
【図 7】 従来の拡散符号系列生成装置の他の例を示す概略ブロック図である。

【符号の説明】

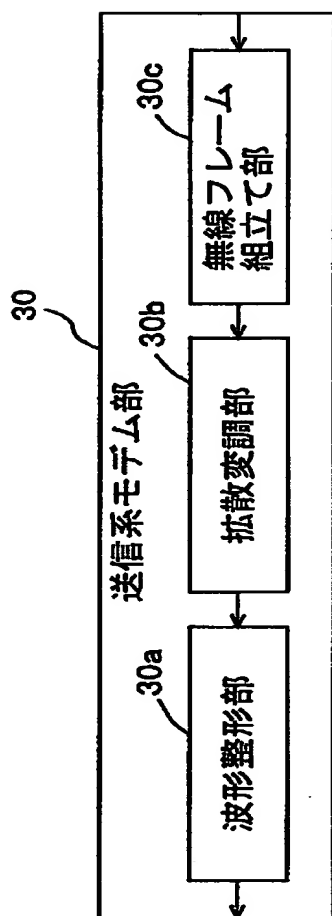
1 アンテナ、2 無線処理部、3 ベースバンド処理部、3 a モデム、3 b チャンネルコーデック、3 c DSP、3 d CPU、3 e 内部メモリ、3 f 外部インタフェース、3 g 内部バス、4 音声入出力装置、5 外部メモリ、6 表示／入力装置、11, 12, 13, 14 レジスタ、15, 16, 17, 18 セレクタ、19, 22 初期値バッファ、20 排他的論理和回路、21, 23, 25, 28 演算回路、24, 26 制御回路、25 a セレクタ、25 b, 25 e  $M_0$ 変換論理回路、25 c, 25 f 乗算回路、25 d ラッチ、27 M行列バッファ、28 a セレクタ、28 b ラッチ、28 c  $M_0$ 変換論理回路、28 d 乗算回路、30 送信系モデム部、30 a 波形整形部、30 b 拡散変調部、30 c 無線フレーム組立部。

【書類名】 図面

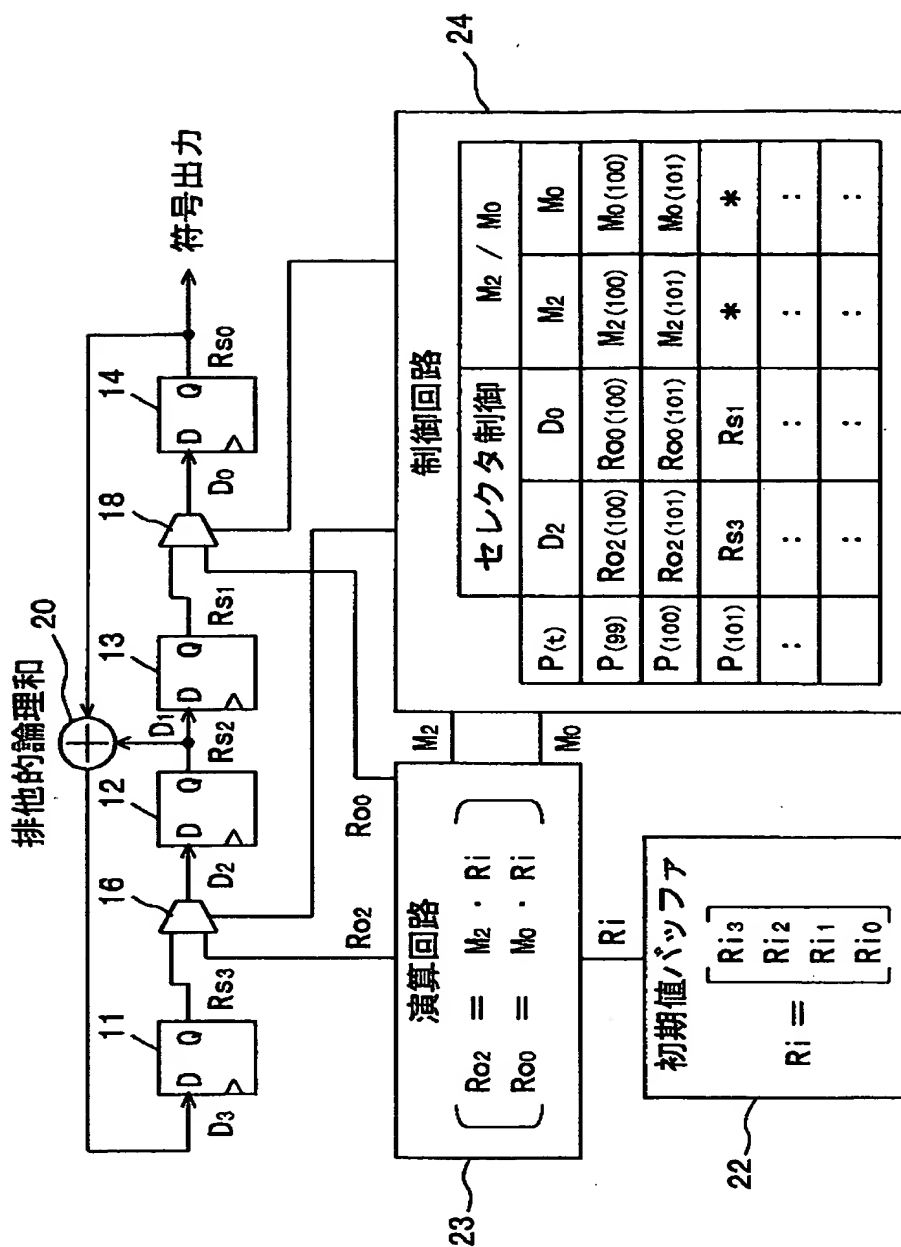
【図 1】



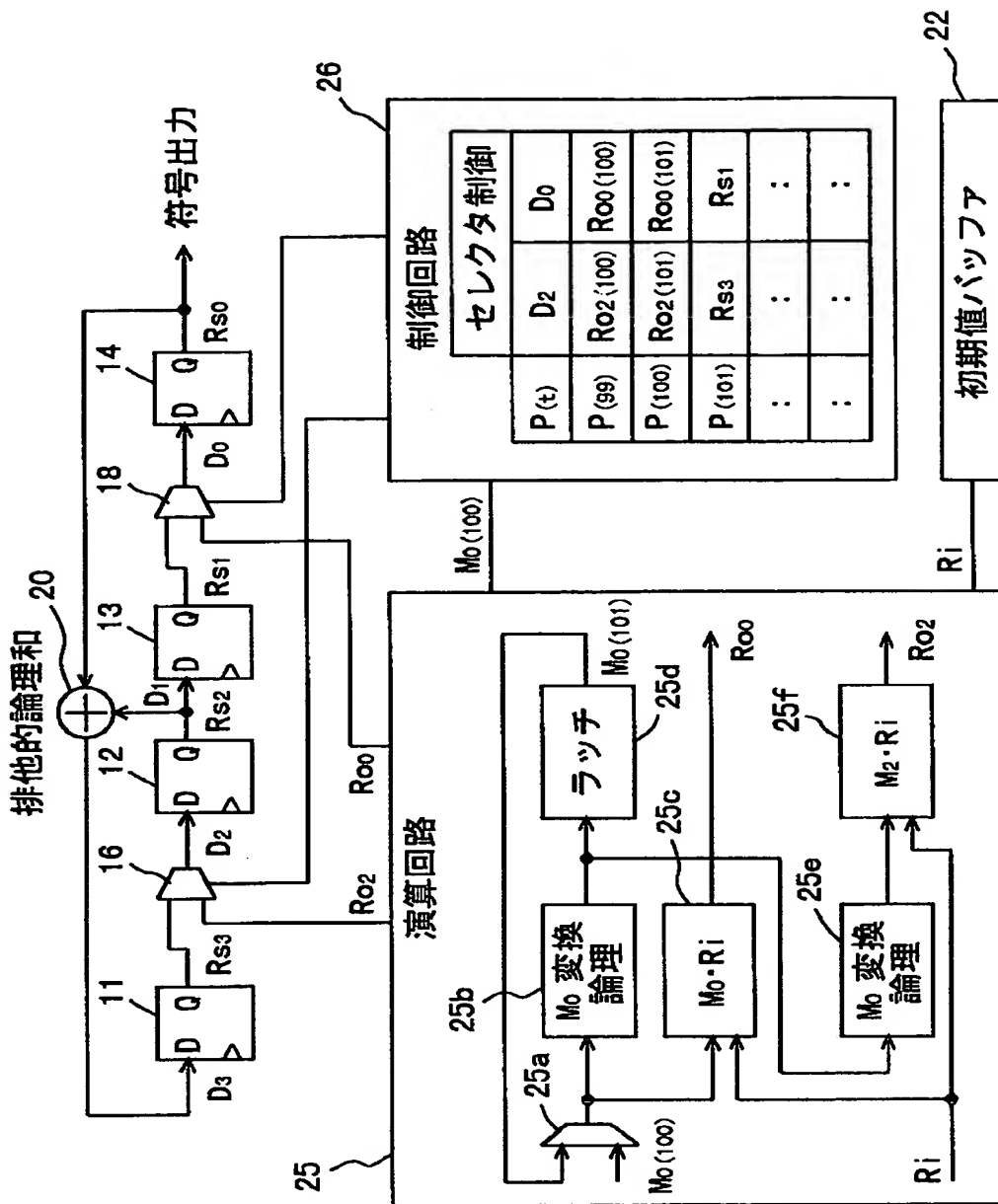
【図 2】



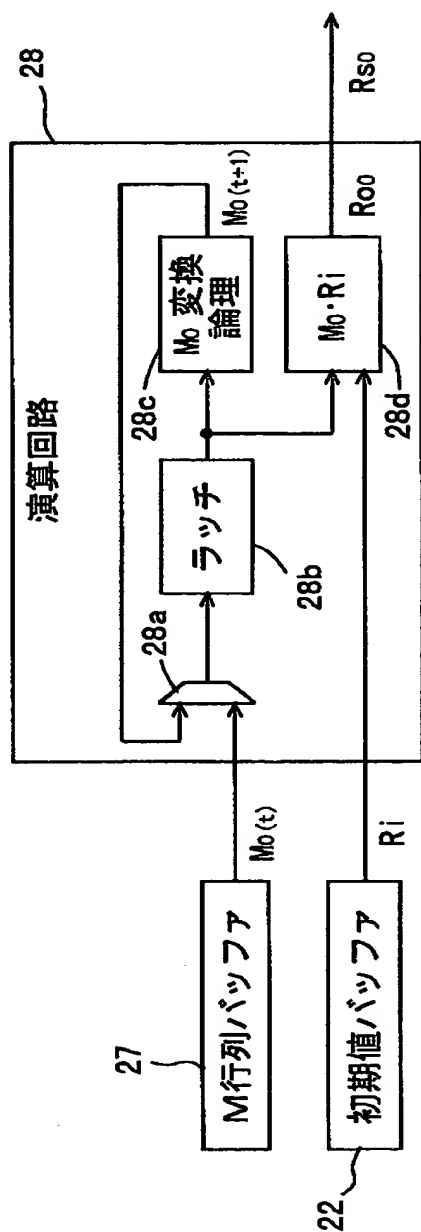
【図 3】



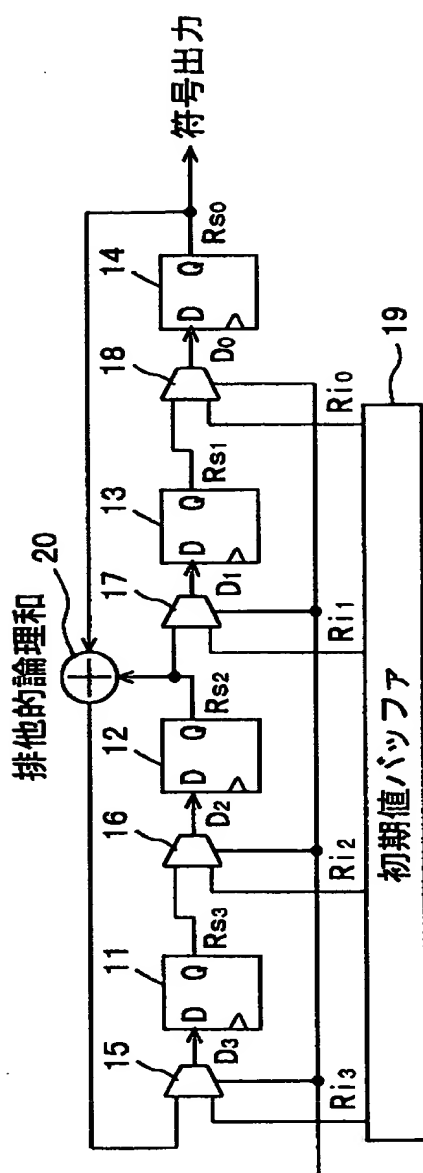
【図 4】



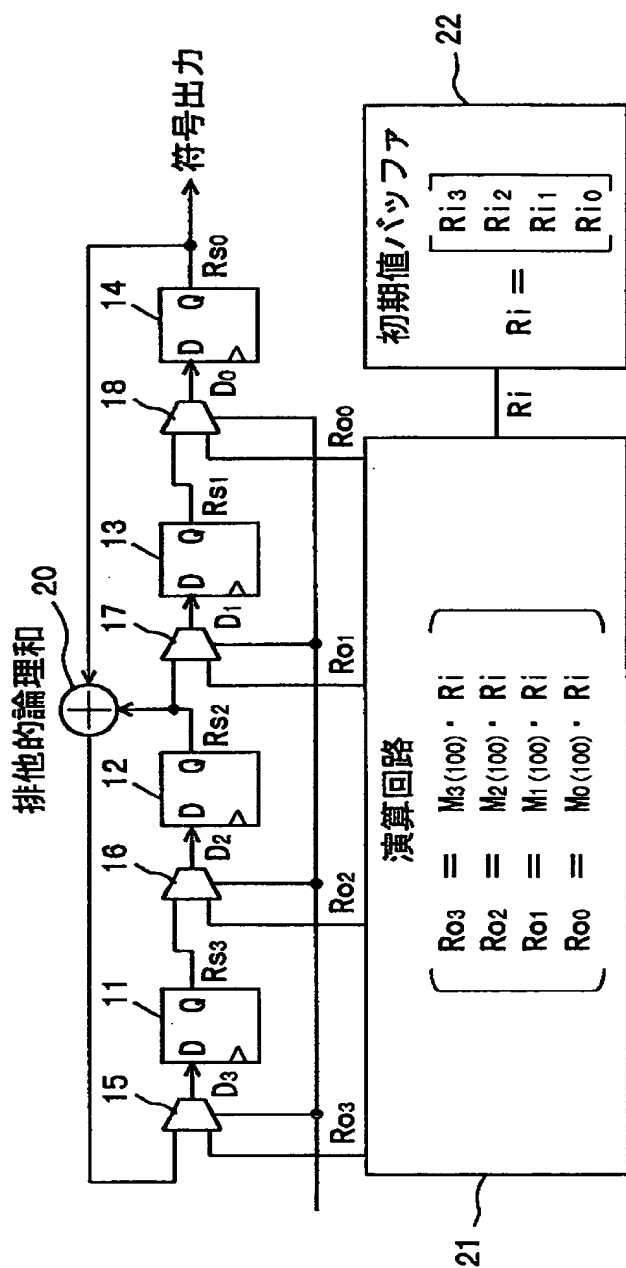
【図 5】



【図 6】



【図 7】





【書類名】 要約書

【要約】

【課題】 回路規模の縮小を図った拡散符号系列生成装置およびそれを用いた携帯無線端末を提供する。

【解決手段】 拡散符号系列生成装置を構成するシフトレジスタのうち、帰還処理および拡散処理にそれぞれ関与するレジスタ 1 2, 1 4 の値のみを演算回路 2 3 により演算する。シフトレジスタをシフトさせながら演算された値を対応するレジスタ 1 2, 1 4 にロードし、レジスタ 1 1 ~ 1 4 がすべて有効な値で満たされた後は、シフトレジスタ自体のシフト動作により拡散符号系列を生成する。これによりレジスタの値を算出する演算回路の回路規模を著しく縮小することができる。

【選択図】 図 3

出 願 人 履 歴 情 報

識別番号 [000001889]

1. 変更年月日 1993年10月20日

[変更理由] 住所変更

住 所 大阪府守口市京阪本通2丁目5番5号  
氏 名 三洋電機株式会社